

This Page Is Inserted by IFW Operations  
and is not a part of the Official Record

## **BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

**IMAGES ARE BEST AVAILABLE COPY.**

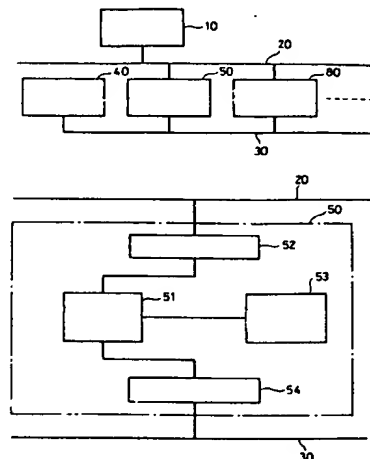
As rescanning documents *will not* correct images,  
Please do not report the images to the  
Image Problem Mailbox.

**(54) DATA PROCESSOR**

(11) 2-183330 (A) (43) 17.7.1990 (19) JP  
 (21) Appl. No. 64-3171 (22) 10.1.1989  
 (71) NEC CORP (72) SEIKI SAKAI  
 (51) Int. Cl.<sup>5</sup> G06F9/24, G06F9/06, G06F9/445

**PURPOSE:** To reload a program without stopping a data processor or a central processing unit by executing the program, which is stored to a main storage, while the program is reloaded.

**CONSTITUTION:** When the reloading information of a microprogram stored in a control storing part 53 are received from a diagnosis device 40, a central processing unit 50 stops the microprogram which is presently read from the control storing part 53 and executed. Then, the microprogram, which is stored in a main storage 10, to be executed during the reloading of the microprogram to the control storing part 53 is read and executed. At such a time, the diagnosis device 40 executes the reloading of the microprogram to the control storing part 53. Thus, constitution is simplified and the contents of the program can be reloaded without stopping the data processor or central processing unit.



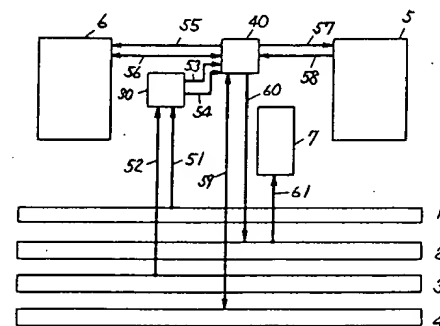
51: arithmetic unit, 52: system bus control part, 54: diagnosis bus control part, 80: central processing unit

**(54) MICROCOMPUTER**

(11) 2-183331 (A) (43) 17.7.1990 (19) JP  
 (21) Appl. No. 64-2407 (22) 9.1.1989  
 (71) MATSUSHITA ELECTRIC IND CO LTD (72) KENJI TANAKA  
 (51) Int. Cl.<sup>5</sup> G06F9/32, G06F12/06

**PURPOSE:** To improve flexibility and versatility by providing a mechanism which can transfer in-RAM data to a ROM data bus and a in-ROM data to a RAM data bus.

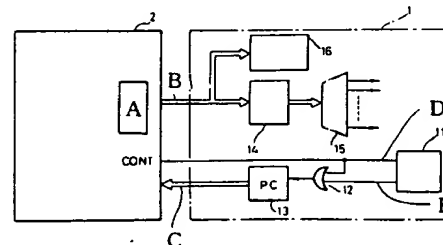
**CONSTITUTION:** A first control circuit 30 transfers address information to a second control circuit 40 and decides whether the address information are transferred from a ROM address bus 1 or a RAM address bus 3. The second control circuit 40 transfers the address information to a ROM 5 and a RAM 6 and transfers read data to either a ROM data bus 2 or a RAM data bus 4. Thus, since the data in the RAM and ROM can be handled without any discrimination, program data can be stored in RAM as well as data for reference can be stored in the ROM as well. Then, the flexibility or function can be increased as a computer.

**(54) PROGRAMMED CONTROL SYSTEM**

(11) 2-183332 (A) (43) 17.7.1990 (19) JP  
 (21) Appl. No. 64-1384 (22) 10.1.1989  
 (71) FUJITSU LTD (72) NAKATOSHI SATOU  
 (51) Int. Cl.<sup>5</sup> G06F9/38, G06F9/34

**PURPOSE:** To improve a processing speed by reading an operand corresponding to the next address value to a temporary storage circuit simultaneously when an instruction is read from a storage device.

**CONSTITUTION:** An instruction word and the operand of the instruction in a processor 1 are stored in a storage device 2 so that the address value of the storage device 2 can be continued. When a state generation part 11 of a processing circuit 1 sends an instruction fetch signal, the instruction word corresponding to address information is read out of the storage device 2 and stored to an instruction latch 14 of the processor 1. Simultaneously, operand information corresponding to the next address are read out and stored in a register in the storage device 2. Next, when the state generation part 11 generates an operand fetch signal, operand information already stored to the register are read out and stored in an operand latch 16 of the processor 1. Thus, an operand fetch time can be simultaneously shortened together with an instruction decode time and the processing time can be improved.



15: decoder, A: register, B: data bus, C: address bus, D: operand fetch, E: instruction fetch

(19)



JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11) Publication number: **02183332 A**

(43) Date of publication of application: **17.07.90**

(51) Int. Cl.

**G06F 9/38**  
**G06F 9/34**

(21) Application number: **01001384**

(71) Applicant: **FUJITSU LTD**

(22) Date of filing: **10.01.89**

(72) Inventor: **SATOU NAKATOSHI**

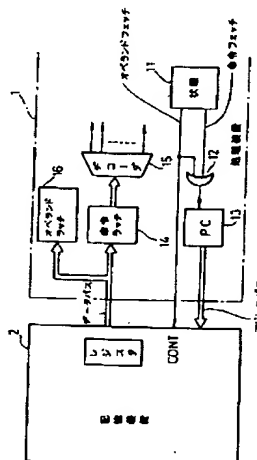
(54) **PROGRAMMED CONTROL SYSTEM**

COPYRIGHT: (C)1990,JPO&Japio

(57) Abstract:

**PURPOSE:** To improve a processing speed by reading an operand corresponding to the next address value to a temporary storage circuit simultaneously when an instruction is read from a storage device.

**CONSTITUTION:** An instruction word and the operand of the instruction in a processor 1 are stored in a storage device 2 so that the address value of the storage device 2 can be continued. When a state generation part 11 of a processing circuit 1 sends an instruction fetch signal, the instruction word corresponding to address information is read out of the storage device 2 and stored to an instruction latch 14 of the processor 1. Simultaneously, operand information corresponding to the next address are read out and stored in a register in the storage device 2. Next, when the state generation part 11 generates an operand fetch signal, operand information already stored to the register are read out and stored in a operand latch 16 of the processor 1. Thus, an operand fetch time can be simultaneously shortened together with an instruction decode time and the processing time can be improved.



⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A) 平2-183332

⑬ Int. Cl.<sup>8</sup>

G 06 F 9/38  
9/34

識別記号

3 1 0 A  
3 5 0 A

庁内整理番号

7361-5B  
7361-5B

⑭ 公開 平成2年(1990)7月17日

審査請求 未請求 請求項の数 2 (全7頁)

⑮ 発明の名称 プログラム制御方式

⑯ 特 願 平1-1384

⑰ 出 願 平1(1989)1月10日

⑱ 発 明 者 佐 藤 中 俊 神奈川県川崎市中原区上小田中1015番地 富士通株式会社  
内

⑲ 出 願 人 富 士 通 株 式 会 社 神奈川県川崎市中原区上小田中1015番地

⑳ 代 理 人 弁 理 士 青 木 朗 外4名

明 細 書

1. 発明の名称

プログラム制御方式

2. 特許請求の範囲

1. 操作を指定する命令及び必要なデータを指定するオペランドを記憶装置に格納し、該記憶装置から前記命令及びオペランドを読み出してプログラムを実行するプログラム制御方式において、前記命令及び該命令のオペランドを前記記憶装置に連続したアドレスで格納し、

1つのアドレスで前記命令を前記記憶装置から読み出す際に同時に次のアドレス値に対応するオペランドを一時的記憶回路(22。～22。)に読み出し、

前記次のアドレス値が発生した際には前記一時的記憶回路からオペランドを読み出す

ことを特徴とするプログラム制御方式。

2. 請求項1に記載のプログラム制御方式に用いられる記憶装置であって、マトリクス状に配列された複数のセル(C<sub>00</sub>、

..., C<sub>nn</sub>)と、

該セルの各2行に同時にアクセスできる複数のワード線(W<sub>0</sub>、..., W<sub>n</sub>)と、

前記セルの各列に設けられた読み出し線対(R<sub>01</sub>、R<sub>02</sub>、...)と、

該各読み出し線対の一方に接続されたレジスタ(22<sub>0</sub>、..., 22<sub>n</sub>)と、を具備し、

前記ワード線の1つ及び前記読み出し線対の1対の選択により選択された2つのセルの一方は該選択された読み出し線対の一方を介して前記レジスタに読み出され、他方のセルは該選択された読み出し線対の他方を介して外部へ読み出される

記憶装置。

3. 発明の詳細な説明

〔概 要〕

プログラム制御方式及び該方式に用いられる記憶装置に関し、

本記憶装置の動作時間短縮、補助回路の追加以外の手段によって、処理速度を向上させたプログ

(1)

(2)

ラムド制御方式を提供することを目的とし、

操作を指定する命令及び必要なデータを指定するオペランドを記憶装置に格納し、該記憶装置から前記命令及びオペランドを読み出してプログラムを実行するプログラムド制御方式において、前記命令及び該命令のオペランドを前記記憶装置に連続したアドレスで格納し、

1つのアドレスで前記命令を前記記憶装置から読み出す際に同時に次のアドレス値に対応するオペランドを一時的記憶回路に読み出し、前記次のアドレス値が発生した際には前記一時的記憶回路からオペランドを読み出すように構成する。

#### 〔産業上の利用分野〕

本発明はプログラムド制御方式及び該方式に用いられる記憶装置に関する。

#### 〔従来の技術〕

プログラムド制御方式では、処理手順あるいは制御手順、具体的には一連の命令語及びオペラン

ドが記憶装置に格納されている。このような手順の内容によっては必要とされる情報が異なる。手順を記憶する記憶装置を構成する場合、必要となる命令語及びオペランドのみを格納することによって無駄を省き、ひいてはコストの低減を図る。

多くの場合、必要となる手順を含んだ第1の命令語をフェッチし、次いでこれをデコードし、必要あれば続けて次のオペランドをフェッチするという方法を採用することが多い。このように、命令語及びオペランドの量が増加するようなものを可変語長方式という。このような可変語長方式では記憶装置のコストを低下できる反面、本来1回で得ることができた手順を複数回に亘って記憶装置を操作することにより処理及び制御時間が長くなると言う欠点を生じる。

可変語長のプログラムド制御方式における基本的処理シーケンスは、第5図に示すように、命令語のフェッチをしてデコードし、必要な場合にはその命令語に付随するオペランドのフェッチして実行すると言う一連の動作をする。

#### (3)

命令語、オペランドのフェッチには処理装置が記憶装置へそれらの記憶番地としてアドレス情報を出力して、記憶装置はそのアドレス情報に対応したデータ（これが命令語やオペランドになる）を出力する。処理装置はこの記憶装置の出力を読み取りパルスにより取り込む。

第1図においては処理時間が長いために、第6図あるいは第7図に示す手法が知られている。すなわち、第6図においては、処理装置部と、記憶装置と処理装置との接続部を分離し、命令語のフェッチ後の命令のデコード時間内に、予め、オペランドのフェッチを開始しておく方法であり、

また、第7図においては、命令の実行が記憶装置との接続部を使用しない命令の時には、実行と次の命令のフェッチを同時に行う方法である。

なお、第7図の方法では命令デコードの結果によって次の命令フェッチをすべきか、当命令のために記憶装置との接続部を使用すべきかの判断回路が必要になったり、分岐命令の時には分岐判定のため処理内部の実行結果を待つ必要があるので、な

#### (4)

どの複雑な追加回路を必要とする。

#### 〔発明が解決しようとする課題〕

しかしながら、上述のいずれの方法でも命令の実行には基本的に3つのステート（フェッチ、デコード、実行）が必要である。したがって、これら3つのステートは処理装置に於ける基本ステートであり、命令処理時間の短縮が必要となるときには各ステートの処理時間の短縮が必要となる。

この要求を満たすには、処理回路自身の時間の短縮と共に、記憶装置の読み出し時間の短縮が必要になる。

したがって、本発明の目的は、記憶装置の動作時間短縮、補助回路の追加以外の手段によって、処理速度を向上させたプログラムド制御方式を提供することにある。

また、他の目的は、上記プログラムド制御方式に用いられる記憶装置を提供することにある。

#### (5)

#### (6)

## 〔課題を解決するための手段〕

上述の課題を解決するための手段は、操作を指定する命令及び必要なデータを指定するオペランドを記憶装置に格納し、記憶装置から命令及びオペランドを読み出してプログラムを実行するプログラム制御方式において、命令及び該命令のオペランドを記憶装置に連続したアドレスで格納し、1つのアドレスで命令を記憶装置から読み出す際に同時に次のアドレス値に対応するオペランドを一時的記憶回路に読み出し、次のアドレス値が発生した際には前記一時的記憶回路からオペランドを読み出すように構成する。

## 〔作用〕

上述の手段によれば、第1図に示すように、オペランドフェッチと命令デコードとを同時に行う方法を採用し、命令フェッチ時に記憶装置内の一時保持回路に取り込まれたオペランドを読み出す時間は直接記憶セルの内容を読み出す時間より少なくて済む。したがって、命令デコード時間とオ

ペランドフェッチ時間を同時に短縮することができる。

## 〔実施例〕

第2図は本発明に係るプログラム制御方式の一実施例を示す回路図である。第2図において、処理装置1が記憶装置2に格納された各種の操作を指定する命令及び必要なデータを指定するオペランドを読み出す。このため、処理装置1は、状態発生部11、オア回路12、プログラムカウンタ13、命令ラッチ14、デコード15、オペランドラッチ16等を備えている。すなわち、状態発生部11が命令フェッチ信号をオア回路12を介してプログラムカウンタ13に送出すると、プログラムカウンタ13はアドレス情報を記憶装置2に送出する。この結果、記憶装置2からは当該アドレス情報に対応する命令語が読み出されて処理装置1の命令ラッチ14に格納される。さらに同時に、当該アドレス情報の次のアドレスに対応するオペランド情報が読み出されて記憶装置2内

(7)

のレジスタに格納される。この結果、次に、状態発生部11がオペランドフェッチ信号を発生すると、プログラムカウンタ13は少進されるが、この場合には、オペランドフェッチ信号は記憶装置2の端子CONTにも直接伝達され、したがって、記憶装置2の本体ではなく、レジスタに既に格納されているオペランド情報が読み出されて処理装置1のオペランドラッチ16に格納される。

このため、記憶装置2内においては、処理装置1における命令語とその命令のオペランドは記憶装置2のアドレス値が連続するように記憶装置2に配置しておく。このようにすると、第3図に示すように、処理回路1の命令デコード時間と共に行われるオペランドフェッチ動作は先の命令フェッチ時に記憶装置2内のオペランドフェッチの時間短縮が可能となる。

第4図は第2図の記憶装置2の詳細なブロック回路図である。第4図においては、アドレスデコード21はプログラムカウンタ21のアドレスをデコードしてワード線 $W_0 \sim W_n$ の1つをアクテ

(9)

ィブにする。各メモリセル $C_{00}, C_{01}, \dots, C_{nn}$ には、2つの読み出し線 $R_{01}, R_{02}; R_{11}, R_{12}; \dots; R_{n1}, R_{n2}$ と各読み出しラインへの出力を可能とする2つのワードライン入力を有する。隣接するセルの第1のワード線入力と第2ワード線入力に接続されるワード線信号は同じものが使用される。各第2の読み出しライン $R_{02}, R_{12}, \dots, R_{n2}$ には一時記憶用のレジスタ22<sub>0</sub>, 22<sub>1</sub>, ..., 22<sub>n</sub>が接続されている。各第1の読み出しライン $R_{01}, R_{11}, \dots, R_{n1}$ とレジスタ22<sub>0</sub>, 22<sub>1</sub>, ..., 22<sub>n</sub>の出力はデータ出力切り換えのためのセレクト23<sub>0</sub>, 23<sub>1</sub>, ..., 23<sub>n</sub>に接続される。これらのセレクトは処理装置1からのオペランドフェッチ信号であるCONT信号により第1の読み出しラインの信号もしくはレジスタの出力信号をデータ出力とする切り換えるものである。

第4図の回路動作を説明する。

処理装置1のプログラムカウンタ13は記憶装置2のアドレスデコード21にアドレス情報を伝達する。なお、初めての読み出しの場合には、

(10)

CONT信号を“0”とする。

記憶装置2は上記アドレス情報をアドレスデコード21によって1つのワード線をアクティブにする。いま仮りにワード線W1がアクティブになったとする。この場合、各セルC<sub>10</sub>、C<sub>11</sub>、...、C<sub>1n</sub>の内容は第1の読み出し線R<sub>01</sub>、R<sub>11</sub>、...、R<sub>n1</sub>へ出力されると共に隣接のセルC<sub>20</sub>、C<sub>21</sub>、...、C<sub>2n</sub>の内容が第2の読み出し線R<sub>02</sub>、R<sub>12</sub>、...、R<sub>n2</sub>へ出力される。このとき、セクタ23<sub>0</sub>、23<sub>1</sub>、...、23<sub>n</sub>は処理回路からのCONT信号(“0”)によって第1の読み出し線R<sub>01</sub>、R<sub>11</sub>、...、R<sub>n1</sub>の値をデータとして出力する。また、同時に第2の読み出し線R<sub>02</sub>、R<sub>12</sub>、...、R<sub>n2</sub>に現れたセルC<sub>20</sub>、C<sub>21</sub>、...、C<sub>2n</sub>の内容は各レジスタ22<sub>0</sub>、22<sub>1</sub>、...、22<sub>n</sub>に記憶される。

処理装置1が引き続く記憶アドレスを読み出すときは、CONT信号を“1”にして、アドレスを更新して記憶装置2を読み出す。記憶装置2は新しい、アドレス情報に従って前記と同じように第1の読み出し線R<sub>01</sub>、R<sub>11</sub>、...、R<sub>n1</sub>、第2の読み

出し線R<sub>02</sub>、R<sub>12</sub>、...、R<sub>n2</sub>へセルの内容を出力する。しかし、CONT信号が“1”のため、データ出力は前回のアドレスが与えられたときに第2の読み出し線R<sub>02</sub>、R<sub>12</sub>、...、R<sub>n2</sub>に現れたセルC<sub>20</sub>、C<sub>21</sub>、...、C<sub>2n</sub>の内容に等しいレジスタ22<sub>0</sub>、22<sub>1</sub>、...、22<sub>n</sub>からの読み出す時間は、セルからの読み出す時間より充分短いため、CONT信号を“1”とした読み出し動作は短い時間ですむ。

#### 〔発明の効果〕

以上説明したように本発明によれば、命令フェッチ時に記憶装置内の一時的記憶回路(レジスタ)にオペランド情報を取り込んでおき、次に、このオペランド情報を読み出す時間は直接記憶セルの内容を読み出す時間より少ないので、もともと短くできる命令デコード時間と共にオペランドフェッチ時間を同時に短縮でき、したがって、処理速度を向上できる。

(11)

(12)

#### 4. 図面の簡単な説明

第1図は本発明の作用を説明する図、

第2図は本発明に係るプログラムド制御方式の一実施例を示すブロック回路図、

第3図は第2図の回路動作を示すタイミング図、

第4図は第2図の記憶装置の詳細な回路図、

第5図、第6図、第7図は従来のプログラムド制御手法を示す図である。

1…処理装置、 2…記憶装置、

C<sub>00</sub>、...、C<sub>nn</sub>…セル、

W<sub>0</sub>、...、W<sub>n</sub>…ワード線、

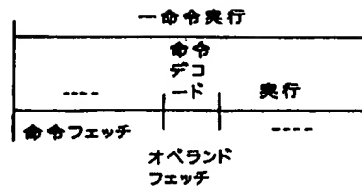
R<sub>01</sub>、R<sub>11</sub>、...、R<sub>n1</sub>…第1の読み出し線、

R<sub>02</sub>、R<sub>12</sub>、...、R<sub>n2</sub>…第2の読み出し線、

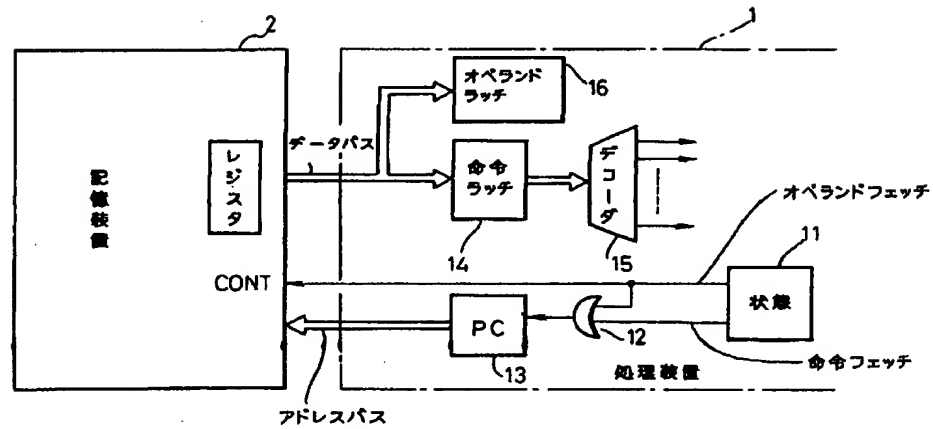
22<sub>0</sub>、22<sub>1</sub>、...、22<sub>n</sub>…レジスタ、

23<sub>0</sub>、23<sub>1</sub>、...、23<sub>n</sub>…セクタ。

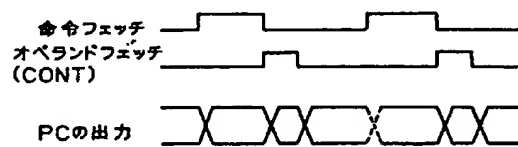
(13)



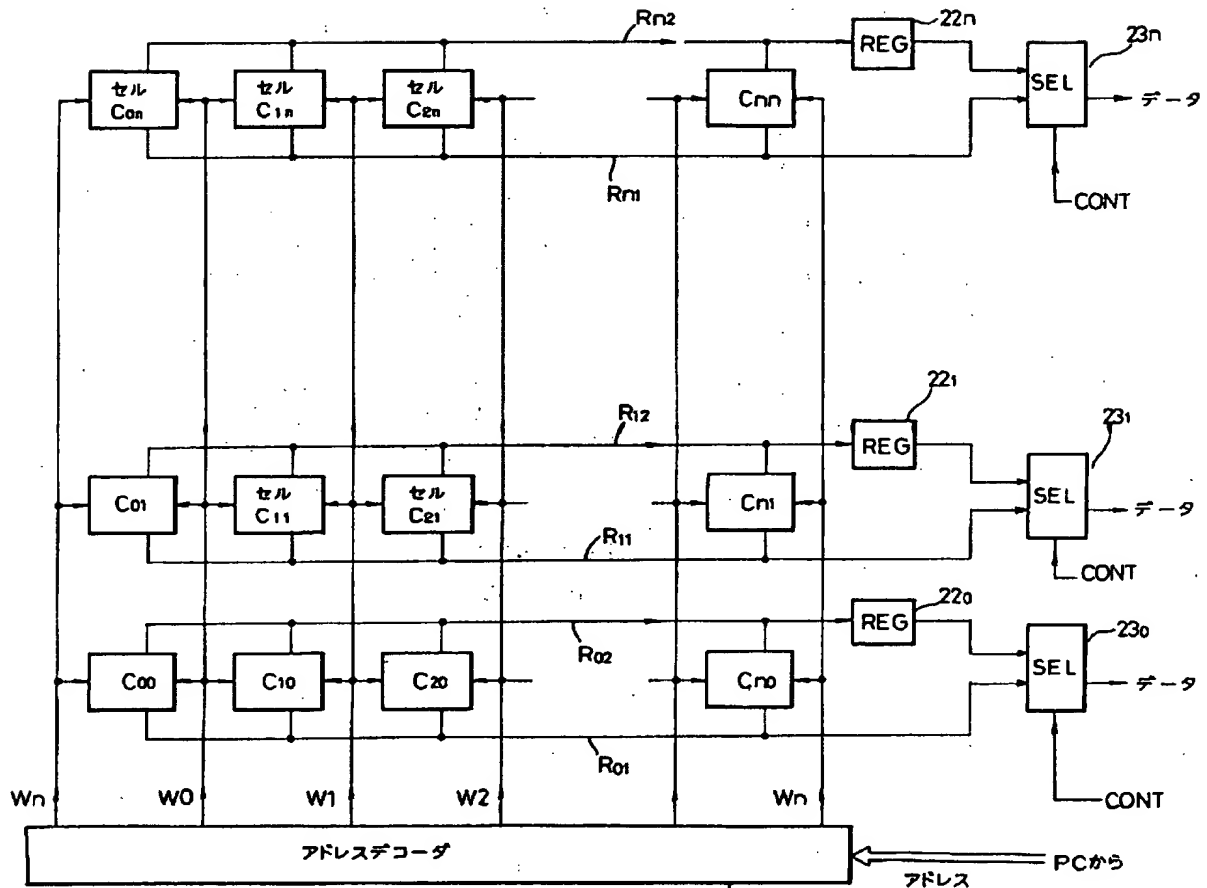
本発明の作用  
第 1 図



本発明の実施例  
第 2 図

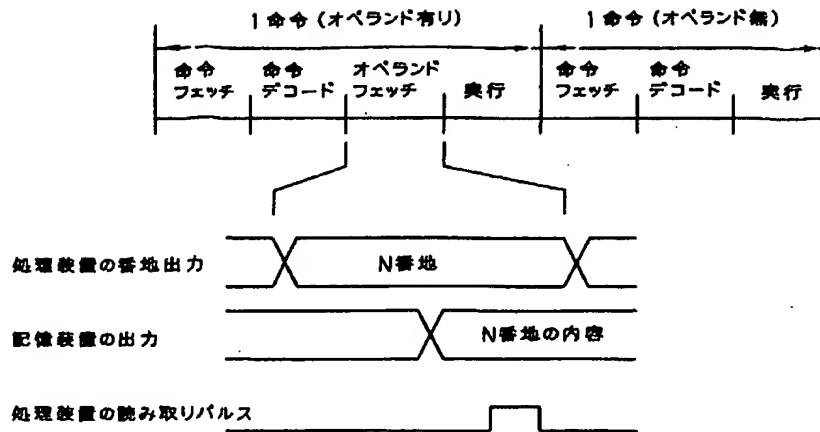


第 3 図



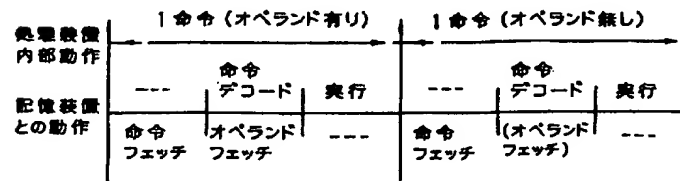
第2図の記憶装置

第 4 図



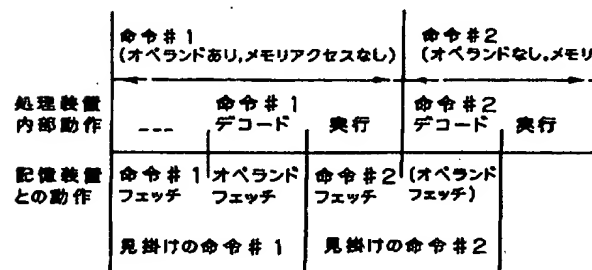
基本的処理シーケンス

第 5 図



オペランド・フェッチを先行手配する従来方法

第 6 図



次の命令フェッチを先行手配する従来方法

第 7 図